

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-105113  
 (43)Date of publication of application : 24.04.1998

(51)Int. Cl. G09G 3/28  
 G02F 1/133  
 G09G 3/36  
 H03K 19/0175

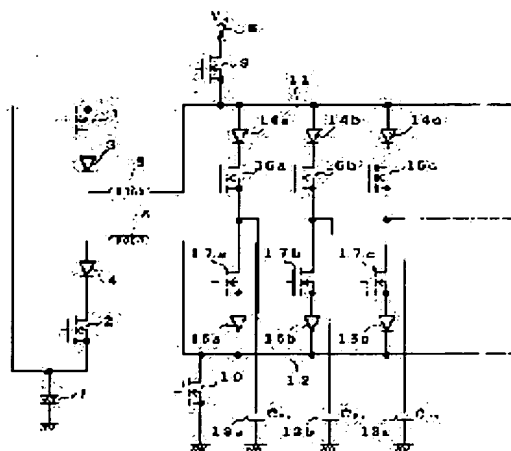
(21)Application number : 08-254339 (71)Applicant : HITACHI LTD  
 (22)Date of filing : 26.09.1996 (72)Inventor : KONOUE AKIHIKO  
 OSAWA MICHITAKA  
 ODA ISAMU  
 SAKAMOTO MITSUZO

## (54) METHOD AND CIRCUIT FOR DRIVING CAPACITIVE LOAD

## (57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to drive capacitive load with low electric power and also optionally control the width of pulse applied to the respective capacitive loads.

SOLUTION: When a capacitive load 13a is at a low level, a switch 16a is turned on and a switch 1 is turned on to supply a charging current from a power source 7 through an inductance element 5, but the voltage across the inductance element 13a rises with the resonance waveform between the inductance element 5 and capacitive load 13a to turn on a hold switch 9, so that a high voltage VH is held. When a hold switch 9 turns off, a switch 17a turns on, and a switch 2 turns on, a discharging current flows from the capacitive load 13a through the inductance element 6 and the electric power is collected to the power source 7, so that the voltage across the capacitive load 13a rises at thin time with the resonance waveform between the inductance element 6 and capacitive load 13a. Consequently, a high-voltage pulse with variable pulse width can be applied to the capacitive load 13a.



## LEGAL STATUS

[Date of request for examination] 08.09.2000  
 [Date of sending the examiner's decision of rejection] 21.10.2003  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-105113

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 9 G 3/28

G 0 2 F 1/133

G 0 9 G 3/36

H 0 3 K 19/0175

5 5 0

G 0 9 G 3/28

G 0 2 F 1/133

G 0 9 G 3/36

H 0 3 K 19/00

J

5 5 0

1 0 1 F

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号

特願平8-254339

(22) 出願日

平成8年(1996) 9月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鴻上 明彦

東京都千代田区神田駿河台四丁目6番地

株式会社日立製作所家電・情報メディア事業部内

(72) 発明者 大沢 通孝

東京都千代田区神田駿河台四丁目6番地

株式会社日立製作所家電・情報メディア事業部内

(74) 代理人 弁理士 武 順次郎

最終頁に続く

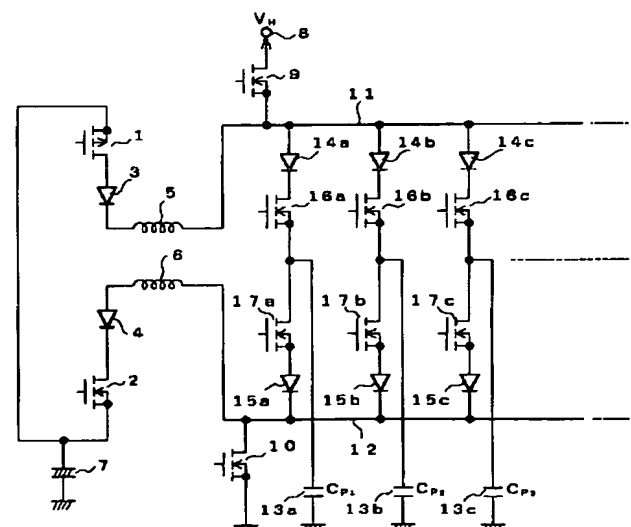
(54) 【発明の名称】 容量性負荷の駆動方法及び回路

(57) 【要約】

【課題】 複数の容量性負荷を低電力で駆動し、しかも、各容量性負荷の印加パルスの幅が任意に制御できるようにする。

【解決手段】 容量性負荷13aが低レベルにある場合、スイッチ16aをオンし、スイッチ1をオンすると、電源7からインダクタンス素子5を介して充電電流が供給されるが、インダクタンス素子5と容量性負荷13aとの共振波形で容量性負荷13aの電圧が立ち上がり、ホールドスイッチ9がオンして高電圧 $V_H$ に保持される。一方、ホールドスイッチ9がオフし、スイッチ17aがオンしてスイッチ2がオンすると、容量性負荷13aからインダクタンス素子6を介して放電電流が流れ、電源7に電力が回収され、このとき、インダクタンス素子6と容量性負荷13aとの共振波形で容量性負荷13aの電圧が立ち下がる。これにより、容量性負荷13aに高電圧パルスがパルス幅可変で供給できる。

【1×1】



## 【特許請求の範囲】

【請求項1】 複数の容量性負荷に高電圧パルスを印加する複数の容量性負荷の駆動方法において、該容量性負荷に夫々第1の単方向性スイッチ回路を接続して、該容量性負荷を該第1の単方向性スイッチ回路を介して第1のインダクタンス素子に接続するとともに、該容量性負荷に夫々第2の単方向性スイッチ回路を接続して、該容量性負荷を該第2の単方向性スイッチ回路を介して第2のインダクタンス素子に接続し、該第1のインダクタンス素子と該容量性負荷の容量とで形成される共振により、該容量性負荷を充電させ、該第2のインダクタンス素子と該容量性負荷とで形成される共振により、該容量性負荷を放電させることにより、該容量性負荷夫々で充電電流が流れる経路と放電電流が流れる経路とを異ならせて、電力回収を行なうことを特徴とする容量性負荷の駆動方法。

【請求項2】 請求項1において、前記第1のインダクタンス素子と前記容量性負荷とで形成される共振波形の立ち上りと、前記第2のインダクタンス素子と前記容量性負荷とで形成される共振波形の立ち下りとがほぼ同時に生じることを特徴とする容量性負荷の駆動方法。

【請求項3】 請求項1において、前記第1の単方向性スイッチが同時にオンする前記容量性負荷の個数と前記第2の単方向性スイッチが同時にオンする前記容量性負荷の個数とを、前記第1、第2の単方向性スイッチがオンする以前に検出し、その検出結果から前記第1、第2のインダクタンス素子の値を制御することを特徴とする容量性負荷の駆動方法。

【請求項4】 複数の容量性負荷に高電圧パルスを印加する複数の容量性負荷の駆動回路において、電源または充電された容量性素子が第1のスイッチ回路、第1のダイオード及び第1のインダクタンス素子の直列回路を介して電力供給線に接続され、該電力供給線に複数の該容量性負荷が、夫々、第1の単方向性スイッチ回路を介して接続され、かつ、該電源または充電された容量性素子が第2のスイッチ回路、第2のダイオード及び第2のインダクタンス素子の直列回路を介して電力回収線に接続され、該電力回収線に複数の該容量性負荷が、夫々、第2の単方向性スイッチ回路を介して接続されてなり、該第1の単方向性スイッチ回路のいずれかと該第1のスイッチ回路との導通により、導通した該第1の単方向性スイッチ回路に接続される該容量性負荷で、その容量値と該第1のインダクタンス素子のインダクタンス値とに応じた共振波形で充電を開始し、該第2の単方向性スイッチ回路のいずれかと該第2のスイッチ回路との導通により、導通した該第2の単方向性スイッチ回路に接続される該容量性負荷が、その容量値と該第2のインダクタンス素子のインダクタンス値とに

応じた共振波形で放電を開始するように構成したことを特徴とする容量性負荷の駆動回路。

【請求項5】 請求項4において、前記電力供給線にホールド用にスイッチ回路を介して高圧電源を接続し、前記電力回収線に他のホールド用のスイッチ回路を介して低圧電源を接続してなることを特徴とする容量性負荷の駆動回路。

【請求項6】 請求項4において、前記容量性負荷は夫々、ホールド用にスイッチ回路を介して高圧電源に接続され、かつ、他のホールド用のスイッチ回路を介して低圧電源を接続されてなることを特徴とする容量性負荷の駆動回路。

【請求項7】 請求項4、5または6において、前記第1、第2の単方向性スイッチ回路が、ダイオードとFETとの直列回路であることを特徴とする容量性負荷の駆動回路。

【請求項8】 請求項4、5または6において、前記第1、第2の単方向性スイッチ回路が、バイポーラトランジスタからなることを特徴とする容量性負荷の駆動回路。

【請求項9】 請求項4、5、6または7において、前記第1のスイッチ回路、前記第1のダイオード及び前記第1のインダクタンス素子の直列回路が複数個互いに並列に接続され、複数個の前記第1のインダクタンス素子のインダクタンス値の逆数が2進符号の値の関係を形成しており、かつ、前記第2のスイッチ回路、前記第2のダイオード及び前記第2のインダクタンス素子の直列回路が複数個互いに並列に接続され、複数個の前記第2のインダクタンス素子のインダクタンス値の逆数が2進符号の値の関係を形成していることを特徴とする容量性負荷の駆動回路。

【請求項10】 請求項4、5、6、7、8または9において、前記複数の容量性負荷がAC型プラズマディスプレイパネルのアドレス電極であることを特徴とする容量性負荷の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の容量性負荷を高電圧パルスで駆動する方法及び回路に係り、特に、マトリクス表示素子、例えば、プラズマディスプレイやEL表示素子、液晶表示素子などの容量性負荷の特性を持つ表示素子の電極の駆動方法及びその回路に関する。

## 【0002】

【従来の技術】従来、複数の容量性負荷を駆動する方法として、簡便なプッシュプル回路で駆動する方法と低電力化のための電力回収回路を使用する方法とが知られている。

【0003】図2はかかるプッシュプル回路を用いた従

## 3

来の駆動方法の一例を示す回路図であって、201a～201c、202a～202cはスイッチ回路、203は電源、204a～204cは容量性負荷である。

【0004】同図において、容量性負荷204a、204b、204cは夫々、スイッチ回路201a、201b、201cを介して高電圧VHの電源203に接続されており、また、スイッチ回路202a、202b、202cを介してグラウンドに接続されている。

【0005】スイッチ回路201a、201b、201cがオンすると、容量性負荷204a、204b、204cに電源203から高電圧VHが印加され、また、スイッチ回路202a、202b、202cがオンすると、容量性負荷204a、204b、204cはグラウンド電位になる。そこで、スイッチ回路201a、201b、201cを夫々適宜のタイミングで所定期間オンし、その後、所定のタイミングで所定期間スイッチ回路202a、202b、202cをオンすることにより、容量性負荷204a、204b、204cに高圧パルスが印加されることになる。

【0006】しかしながら、かかる方法では、スイッチ回路201a、201b、201cすると、電源203から供給される電力の一部が容量性負荷204a、204b、204cの充電に費やされ、次に、スイッチ回路202a、202b、202cがオンしたときには、これら容量性負荷204a、204b、204cに充電された電力がグラウンドに放電されることになり、無効電力が大きくなるという問題があった。

【0007】これに対して、電力回収回路を利用する方法が、例えば、特開昭63-101897号公報に記載されている。これは、容量性負荷毎にインダクタンス素子を電力回収回路として設け、容量性負荷へ印加する高圧パルスの立上り時と立下り時、このインダクタンス素子と夫々の容量性負荷とで直列共振を生じさせることにより、高圧パルスの立下り時には、容量性負荷から放電される電力をこのインダクタンス素子に回収し、高圧パルスの立上り時には、この回収した電力を容量性負荷の充電に利用するものである。これによると、容量性負荷を充放電する無効電力を大幅に低減でき、容量性負荷の充放電電力の1/10の電力で駆動できるというものである。

【0008】ところで、このように、容量性負荷毎に電力回収回路を設けることは、部品点数の上からも得策ではなく、全ての容量性負荷に共通に1個の電力回収回路を設けることが望ましい。この場合、夫々の容量性負荷で高電圧パルスの印加タイミングが異なる駆動方法では、容量性負荷毎にスイッチ回路を設け、夫々の容量性負荷を夫々のスイッチ回路を介して電力回収回路に接続するような構成とすることが必要がある。かかる例としては、例えば、特開昭2-92111号公報に開示されている。この例では、複数の容量性負荷の充放電電力を

## 4

スイッチ回路を介して回収する。

【0009】

【発明が解決しようとする課題】上記従来のプッシュプル回路を用いた複数の容量性負荷の駆動方法では、上記のように、複数の容量性負荷を駆動する充放電電力が大きく、装置の消費電力が大きくなるという問題があった。特に、マトリクス型表示装置の電極を駆動するためには、一般に、高耐圧ドライバICを用いるが、駆動パルスの周波数が大きくなると、高耐圧ドライバICの消費電力が大きくなり、ひいては発熱のために高耐圧ドライバICが破損する場合も生じて、装置の信頼性を大きく損なうことになる。

【0010】また、上記従来のスイッチ回路を用いた複数の容量性負荷の充放電電力の回収を行なう方法では、印加する高電圧パルスの有無のみを制御するものであり、パルスの幅が任意に制御できるような高電圧パルスの立上りや立下りを制御するものではない。マトリクス型表示装置の駆動形態によっては、高電圧パルスの有無を制御するのではなく、高電圧パルスのパルス幅を制御するものもある。例えば、AC型プラズマディスプレイパネルのアドレス電極には、表示信号に応じて高電圧パルスのパルス幅を制御する必要がある。そのような駆動に対しては、高電圧パルスの立上りや立下りを制御する必要があるが、この点について、従来から何ら配慮されていなかった。

【0011】本発明は、この点に鑑みてなされたものであって、その目的は、消費電力を低減し、特に、高電圧パルスのパルス幅や立上り、立下りを制御可能とした簡単な回路構成の複数の容量性負荷の駆動方法及び回路を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明は、第1のインダクタンス素子と複数の容量性負荷との間に第1の単方向性スイッチを設け、該第1のインダクタンス素子と夫々の容量性負荷の容量とで形成される共振により、夫々の容量性負荷を充電し、また、第2のインダクタンス素子と夫々の容量性負荷との間に第2の単方向性スイッチを設け、該第2のインダクタンス素子と夫々の容量性負荷の容量とで形成される共振により、夫々の容量性負荷を放電し、夫々の容量性負荷の充電電流と放電電流とが異なる経路を流れて電力回収が行なわれるようにする。

【0013】また、本発明は、該第1のインダクタンス素子と夫々の容量性負荷の容量とで形成される共振波形の立上りと、該第2のインダクタンス素子と夫々の容量性負荷の容量とで形成される共振波形の立下りとがほぼ同時に生じるようにする。

【0014】さらに、本発明は、夫々の容量性負荷の該第1の単方向性スイッチがオンする回数と夫々の容量性負荷の該第2の単方向性スイッチがオンする回数と

を、該第1、第2の単方向性スイッチがオンする以前に検出し、検出した回数から該第1、第2のインダクタンス素子の値を制御する。

【0015】さらに、本発明による複数の容量性負荷に高電圧パルスを印加する駆動回路は、電源または充電された容量性素子から、第1のスイッチと第1のダイオードと第1のインダクタンス素子を直列に接続し、その出力端が少なくとも2つ以上の容量性負荷と少なくとも2つ以上の第1の単方向性スイッチを介して接続し、容量性負荷を充電する時には、第1のスイッチと第1のダイオードと第1の単方向性スイッチが導通し、電源または充電された容量性素子から第2のスイッチと第2のダイオードと第2のインダクタンス素子を直列に接続し、その出力端が少なくとも2つ以上の容量性負荷と少なくとも2つ以上の第2の単方向性スイッチを介して接続し、容量性負荷を放電するときには、第2のスイッチと第2のダイオードと、第2の単方向性スイッチが導通するように構成する。

【0016】また、第1のインダクタンス素子の出力端に高電圧電源にホールドするスイッチ回路を、第2のインダクタンス素子の出力端に低電圧電源にホールドするスイッチ回路を夫々接続する。

【0017】また、第1、第2の単方向性スイッチをダイオードとFETとの直列接続回路で構成する。

【0018】また、第1、第2の単方向性スイッチをバイポーラトランジスタ回路で構成する。

【0019】また、第1のスイッチ回路と第1のダイオードと第1のインダクタンス素子との直列接続が複数個並列に接続され、これら複数個の第1のインダクタンス素子のインダクタンス値の逆数が2進符号の値の関係をなしており、また、第2のスイッチ回路と第2のダイオードと第2のインダクタンス素子との直列接続が複数個並列に接続され、これら複数個の第2のインダクタンス素子のインダクタンス値の逆数が2進符号の値の関係をなしている。

【0020】また、複数の容量性負荷の各々に、高電圧電源へのホールド回路及び低電圧電源へのホールド回路を接続する。

【0021】また、複数個の容量性負荷を夫々AC型プラズマディスプレイのアドレス電極とする。

【0022】

【発明の実施の形態】以下、本発明の実施形態を図面により説明する。図1は本発明による容量性負荷の駆動方法及び回路の第1の実施形態を示す回路図であって、

1、2はスイッチ回路、3、4はダイオード、5、6はインダクタンス素子、7は電源（あるいは容量性素子に電荷を蓄えた電荷供給源）、8は高圧電源、9、10はホールドスイッチ回路、11は電力供給線、12は電力回収線、13a、13b、13cは容量性負荷、14a、14b、14c、15a、15b、15cはダイオ

ード、16a、16b、16c、17a、17b、17cはFETによるスイッチ回路である。

【0023】同図において、インダクタンス素子5の一端は電力供給線11に接続され、他端はダイオード3とスイッチ回路1とからなる単方向性スイッチ回路を介して電源7に接続されている。また、インダクタンス素子6の一端は電力回収線12に接続され、他端はダイオード4とスイッチ回路2とからなる単方向性スイッチ回路を介して電源7に接続されている。ここでは、電源7は容量性素子、即ち、コンデンサとし、このコンデンサの他端はクランドされている。電力供給線11には、ホールドスイッチ回路9を介して高圧電源8が接続され、また、電力回収線12は、ホールドスイッチ回路10を介してグラウンドされている。

【0024】容量性負荷13aは、スイッチ回路16aとダイオード14aとからなる単方向性スイッチ回路を介して電力供給線11に接続され、また、スイッチ回路17aとダイオード15aとからなる単方向性スイッチ回路を介して電力回収線12に接続されている。同様に、容量性負荷13bは、スイッチ回路16bとダイオード14bとからなる単方向性スイッチ回路を介して電力供給線11に接続され、また、スイッチ回路17bとダイオード15bとからなる単方向性スイッチ回路を介して電力回収線12に接続されており、容量性負荷13cは、スイッチ回路16cとダイオード14cとからなる単方向性スイッチ回路を介して電力供給線11に接続され、また、スイッチ回路17cとダイオード15cとからなる単方向性スイッチ回路を介して電力回収線12に接続されている。

【0025】なお、ここでは、3個の容量性負荷としたが、この容量性負荷の個数は任意であり、各容量性負荷は、上記と同様にして、電力供給線11と電力回収線12とに接続される。

【0026】電源7からスイッチ回路1、ダイオード3、インダクタンス素子5及び電力供給線11に至る直列回路は、容量性負荷13a、13b、13cへの高圧パルスの立上りに電力を供給する役目をするものであり、また、電力回収線12からインダクタンス素子6、ダイオード4、スイッチ回路2及び電源7に至る直列回路は、容量性負荷13a、13b、13cへの高圧パルスの立下りに容量性負荷13a、13b、13cから電力を回収する役目をするものであって、これらが電力回収回路を構成している。かかる電力回収回路により、容量性負荷13a～13cに蓄積される無効電力を回収して無効電力の低減を図っている。そして、容量性負荷13a～13cに電力を供給する経路とこれらから電力を回収する経路とを別々に設けていることにより、これら容量性負荷13a～13cに供給する高電圧パルスのパルス幅を変とすることができるのである。

【0027】また、この第1の実施形態では、このよう

に、スイッチ回路16a~16c, 17a~17cとしてFETを用い、これらに夫々ダイオード14a~14c, 14a~14cを直列に接続することにより、単方向性スイッチ回路を構成している。

【0028】次に、この第1の実施形態の動作を説明するが、まず、容量性負荷13aを充電する場合の動作について説明する。

【0029】いま、容量性負荷13aが低レベル（グラウンドレベル）にあるとする。このとき、スイッチ回路16aがオンすると、インダクタンス素子5に接続されている電力供給線11が瞬時に低レベルとなる。この状態でスイッチ回路1がオンすると、電源7の電荷がスイッチ回路1, ダイオード3, インダクタンス素子5を介し、さらに、ダイオード14とスイッチ回路16aとからなる単方向スイッチ回路を介して送りこまれ、容量性負荷13を充電する。

【0030】ここで、電力回収回路の原理から、電源7の電圧は高圧電源8の電源電圧VHの1/2であり、インダクタンス素子5と容量性負荷13aとの直列共振により、容量性負荷13aの電圧はグラウンドレベルから電源電圧VHのレベルまで立ち上がる。このように、容量性負荷13aの充電は、電源7からインダクタンス素子5とダイオード14aとスイッチ回路16aとを介して電荷が流れ込むことによって行なわれる。インダクタンス素子5の出力端子側の電力供給線11のレベルが電源電圧VHのレベルまで立ち上がると、ホールドスイッチ回路9がオンし、高圧電源8の電源電圧VHがダイオード14aとスイッチ回路16aとを介して容量性負荷13aに印加され、この容量性負荷13aのレベルが電源電圧VHのレベルに保持される。

【0031】ここで、容量性負荷13aに電荷を充電しないときには、スイッチ回路16aをオフとする。このとき、このスイッチ回路16aにダイオード14aが直列接続されて単方向性スイッチ回路を構成しているために、容量性負荷13aからインダクタンス素子5への電流の逆流は生じない。

【0032】以上の充電動作は他の容量性負荷13b, 13cについても同様であり、スイッチ回路16bまたは16cをオンして上記の動作を行なうことにより、容量性負荷13b, 13cの充電及び電圧保持が行なわれる。

【0033】次に、容量性負荷13aに蓄えられた電荷の放電について説明する。

【0034】いま、容量性負荷13aが充電されていて電源電圧VHのレベルにあるものとする。このとき、スイッチ回路17aがオンすると、容量性負荷13aからスイッチ回路17aとダイオード15aとからなる単方向性スイッチ回路を介してインダクタンス素子6に放電電流が流れ込み、これに接続されている電力回収線12は瞬時に電源電圧VHの電圧レベルとなる。かかる状態

でスイッチ回路2がオンすると、容量性負荷13aの電荷はスイッチ回路17a, ダイオード15a, インダクタンス素子6, ダイオード4及びスイッチ回路2を介して電源7に流れ込む。このとき、インダクタンス素子6と容量性負荷13aとの直列共振により、容量性負荷13の電圧レベルは低電圧レベル（グラウンドレベル）まで下がる。そこで、ホールドスイッチ回路10がオンし、容量性負荷13の電圧レベルが低電圧レベルに維持される。

10 【0035】このように、容量性負荷13aに蓄積された電荷は、スイッチ回路17aとダイオード15aとからなる単方向性スイッチ回路とインダクタンス素子6とを介して、電源7に回収される。

【0036】容量性負荷13aの電圧レベルを高電圧レベル（電源電圧VHのレベル）に保持する場合には、スイッチ回路17aをオフにする。このスイッチ回路17aもダイオード15aとともに単方向性スイッチ回路を構成しているので、インダクタンス素子6への電流の流れ込みはない。

20 【0037】以上の放電動作は他の容量性負荷13b, 13cについても同様であり、スイッチ回路17bまたは17cをオンして上記の動作を行なうことにより、容量性負荷13b, 13cの放電及び電圧保持が行なわれる。

【0038】このようにして、この第1の実施形態では、容量性負荷13a~13cに高電圧パルスが供給されるが、その立上り、立下りを独立に制御することができる。

30 【0039】図3は本発明による容量性負荷の駆動方法及び回路の第2の実施形態を示す回路図であって、18a~18c, 19a~19cはスイッチ回路であり、図1に対応する部分には同一符号を付けて重複する説明を省略する。

【0040】図1に示した第1の実施形態では、容量性負荷13a~13cと電力供給線11, 電力回収線12との間に設けた逆流防止用の単方向性スイッチ回路を、FETとダイオードとで構成したが、この第2の実施形態では、バイポーラトランジスタのみで構成するようにしたものである。

40 【0041】即ち、図3において、各容量性負荷13a, 13b, 13cは夫々、バイポーラトランジスタ18a, 18b, 18cを介して電力供給線11に接続され、また、バイポーラトランジスタ19a, 19b, 19cを介して電力回収線12に接続されている。これ以外の構成及び動作は、第1の実施形態と同様である。

50 【0042】FETは寄生ダイオードを有するため、単方向性スイッチ回路を構成するためには、ダイオードを必要としたが、バイポーラトランジスタには、かかる寄生ダイオードが存在しないため、図3に示すように、バイポーラトランジスタ18a~18c, 19a~19c

にダイオードを設ける必要がなく、それ自体で単方向性スイッチ回路を構成する。なお、バイポーラトランジスタの代わりにIGBT (Insulated Gate Bipolar Transister) を用いても、同様の効果が得られる。

【0043】図4は本発明による容量性負荷の駆動方法及び回路の第3の実施形態を示す回路図であって、20a, 20b, 21a, 21bはFETによるスイッチ回路であり、図1に対応する部分には同一符号を付けて重複する説明を省略する。

【0044】図1に示した第1の実施形態では、高圧電源8をホールドスイッチ回路9を介して電力供給線11に接続することにより、このホールドスイッチ回路9を全ての容量性負荷13a~13cに共通に使用し、また、電力回収線12をホールドスイッチ回路10を介してグラウンドに接続することにより、このホールドスイッチ回路10を全ての容量性負荷13a~13cに共通に使用するようにしたが、この第3の実施形態は、このようなホールドスイッチ回路を容量性負荷毎に設けたものである。

【0045】即ち、図4に示すように、容量性負荷13a, 13bは夫々、スイッチ回路20a, 20bを介して高圧電源8に接続され、また、スイッチ回路21a, 21bを介してグラウンドに接続されている。その他の構成は図1に示した第1の実施形態と同様である。

【0046】図1に示した第1の実施形態では、例えば、容量性負荷13aの電圧レベルが変化しないときには、スイッチ回路16aあるいはスイッチ回路17aのどちらかがオンした状態のままであるが、電力供給線11あるいは電力回収線12の電圧レベルは、瞬時の内に低電圧レベルあるいは高電圧レベルに変化する。そのとき、ダイオード14aあるいはダイオード15aは、逆バイアスされることになるため、導通しないが、容量性負荷が一時的（電力供給線11及び電力回収線12の電圧レベルが変化するとき）にフローティング状態となる。そのようなフローティング状態では、何らかの原因で容量性負荷13aの電圧レベルが変動する場合も生じる。このことは、他の容量性負荷13b, 13cでも同様である。

【0047】この第3の実施形態はこれを防止するようにしたものであって、スイッチ回路20a, 21aを直接容量性負荷13aに接続し、スイッチ回路16aあるいはスイッチ回路17aのどちらかがオンした状態でダイオード14aあるいはダイオード15aは、逆バイアスされた状態にあっても、スイッチ回路20aまたは21aがオンし、容量性負荷13aが高電圧レベルもしくは低電圧レベルに安定にホールドされるようにしている。これは、他の容量性負荷についても同様である。

【0048】図5は本発明による容量性負荷の駆動方法及び回路の第4の実施形態を示す回路図であって、1a~1c, 2a~2cはスイッチ回路、3a~3c, 4a

~4cはダイオード、5a~5c, 6a~6cはインダクタンス素子、22a~22c, 23a~23cは直列回路であり、図1に対応する部分には同一符号を付けて重複する説明を省略する。この第4の実施形態は、インダクタンス素子の値を可変とするものである。

【0049】図5において、スイッチ回路1a, ダイオード3a及びインダクタンス素子5aの直列回路22aと、スイッチ回路1b, ダイオード3b及びインダクタンス素子5bの直列回路22bと、スイッチ回路1c, ダイオード3c及びインダクタンス素子5cの直列回路22cとが互いに並列に接続され、その並列回路が電源7と電力供給線11との間に接続され、また、スイッチ回路2a, ダイオード4a及びインダクタンス素子6aの直列回路23aと、スイッチ回路2b, ダイオード4b及びインダクタンス素子6bの直列回路23bと、スイッチ回路2c, ダイオード4c及びインダクタンス素子6cの直列回路23cとが互いに並列に接続され、その並列回路が電源7と電力回収線12との間に接続されている。その他の構成は、図1に示した第1の実施形態と同様である。

【0050】かかる構成によると、スイッチ回路1a, 1b, 1cのいずれかをオンすることにより、インダクタンス素子5a, 5b, 5cのいずれかが選択され、電力供給線11に接続されるインダクタンス素子の値が変化する。同様に、スイッチ回路2a, 2b, 2cのいずれかをオンすることにより、インダクタンス素子6a, 6b, 6cのいずれかが選択され、電力回収線12に接続されるインダクタンス素子の値が変化する。

【0051】ここで、インダクタンス素子5a, 5b, 5cのインダクタンス値は互いに異なり、また、インダクタンス素子6a, 6b, 6cのインダクタンス値も互いに異なるようにする。そして、直列回路22a~22cの選択を組み合わせ、また、直列回路22a~22cの選択を組み合わせることにより、容量性負荷に印加される高電圧パルスの立上り時と立下り時での共振波形を常に等しい波形とすることができる。この場合、直列回路22a~22cのうちの2以上のもののスイッチ回路を同時にオンし、直列回路23a~23cのうちの2以上のもののスイッチ回路も同時にオンすることができ、これにより、電力供給線11, 電力回収線12夫々に接続されるインダクタンス素子のインダクタンス値を7通りに変化させることができる。

【0052】かかるインダクタンス素子や電源7などからなる電力回収側から見た容量性負荷の容量が変化すると、インダクタンス素子と容量性負荷で生じる共振周波数も変化する。この結果、容量性負荷に印加される高電圧パルスの立上り時間や立下り時間が変化する。例えば、容量性負荷がAC型プラズマディスプレイパネルのアドレス電極である場合、これらに印加する高電圧パルスの立上り時間や立下り時間がまちまちであると、プ



ラズマディスプレイ装置の誤動作の原因となる。

【0053】この第4の実施形態では、上記の構成をなしているので、各瞬時瞬時での同時に充電を開始する容量性負荷の個数、同時に放電を開始する容量性負荷の個数を数を予め検出し、その個数に応じて電力回収回路のインダクタンス素子の値を制御することにより、各容量性負荷に印加する高電圧パルスの立上り時間、立下り時間を互いに等しく、かつ一定にすることができる。

【0054】この第4の実施形態の場合、設けられている複数の容量性負荷に対し、同時に充電や放電を行なう容量性負荷の組み合わせを7通りとし、これら夫々の組み合わせに、直列回路22a～22c、23a～23cの同時に動作させる組み合わせを対応させる。そして、この組み合わせの容量性負荷の合成容量とこれに対応する組み合わせの直列回路22a～22c、23a～23cでのインダクタンス素子の合成インダクタンス値とによる共振波形が、7通り全ての組み合わせで互いにほぼ等しくなるように、これら直列回路22a～22c、23a～23cでのインダクタンス素子5a～5c、6a～6cのインダクタンス値を設定しておく。

【0055】インダクタンス素子と容量性負荷とによる共振周波数はインダクタンス素子のインダクタンス値と容量性負荷の容量値との積の平方根の逆数で定義されるために、上記の構成は上記7通り組み合わせでのかかる積の値がほぼ等しいとするものである。

【0056】例えば、AC形プラズマディスプレイパネルでのアドレス電極のように、容量性負荷が互いに並列に接続されている場合、各容量性負荷の容量値をCとすると、同時に充放電される容量性負荷の個数を1個とするときには、そのときの全容量値はCであり、2個のときには2C、3個のときには3C、以下、4個、5個、6個、7個の場合には、夫々4C、5C、6C、7Cとなる。そして、これと共に、共振のためのインダクタンス素子のインダクタンス値を、同時に充放電される容量性負荷の個数が1個であるときの値Lに対し、 $L/2$ 、 $L/3$ 、 $L/4$ 、 $L/5$ 、 $L/6$ 、 $L/7$ と切り換えることにより、いずれの場合でも、共振周波数が等しくなると、それら容量性負荷に供給される高電圧パルスの立上り、立下りが等しくなる。

【0057】そこで、このような場合、図5において、いま、直列回路22aでのインダクタンス素子5aのインダクタンス値をLとすると、直列回路22b、22cでのインダクタンス素子5b、5cのインダクタンス値を夫々 $L/2$ 、 $L/4$ とする。これにより、同時に充放電される容量性負荷の個数が1個、2個、4個の場合には、直列回路22a、22b、22cでのスイッチ回路1a、1b、1cを夫々オンすることにより、電力供給線11からみたインダクタンス値を夫々L、 $L/2$ 、 $L/4$ とすることができるし、また、同時に充放電される容量性負荷の個数が3個、5個、6個、7個の場合には

夫々、スイッチ回路1a、1bを同時にオン、スイッチ回路1a、1cを同時にオン、スイッチ回路1b、1cを同時にオン、スイッチ回路1a、1b、1cを同時にオンすることにより、夫々のインダクタンス値 $L/3$ 、 $L/5$ 、 $L/6$ 、 $L/7$ が得られることになる。

【0058】このことは、電力回収線12に接続される直列回路23a、23b、23cについても、同様である。

【0059】このように、インダクタンス素子5a、5b、5cのインダクタンス値の逆数の関係の2進符号の値(2のべき数やそれらの和)の関係とすることにより、同時に充放電される容量性負荷の7通りの組み合わせに対し、それらに供給される高電圧パルスの立上り、立下りを等しくすることができ、3個という少ないインダクタンス素子を用いて7通りの容量性負荷側の容量値の変化に対応させることができる。

【0060】そして、このように設定することにより、同時に単方向性スイッチ回路がオンとなる容量性負荷の個数を検出し、この個数に対応した直列回路22a～22c、23a～23cの組み合わせのスイッチ回路をオンすることにより、いずれの組み合わせでも、容量性負荷に供給される高電圧パルスの立上り、立下りがほぼ等しくなる。

【0061】なお、ここでは、容量性負荷全ての容量値を等しいとしたが、これらが互いにことなる場合には、そのことも考慮して、電力回収回路での各インダクタンス素子のインダクタンス値や直列回路の個数、それらの組み合わせを適宜設定しなければならないことはいうまでもない。

【0062】なお、この実施形態では、電力供給線11及び電力回収線12に並列に接続される直列回路の個数を3個としたが、これは、高電圧パルスの立上り時間、立下り時間の誤差の許容範囲から決められるものであり、この並列接続される直列回路の個数は3個以外の複数の個数としてもよいことは明らかであり、この場合には、上記と同様に、同時に充放電が行なわれる容量性負荷の合成容量値の変化に応じて、インダクタンス素子の個数を適宜設定し、かつそれらのインダクタンス値の逆数の関係を所定の2進符号の値の関係とすることにより、同様の効果が得られることはいうまでもない。

【0063】また、このように、直列回路を複数個並列に接続してインダクタンス素子のインダクタンス値を変とすることは、図3、図4に示した実施形態にも適用可能であることはいうまでもない。

【0064】次に、図6及び図7により、以上説明した実施形態でのスイッチ回路16a～16c、17a～17cの制御方法の一具体例について説明する。なお、ここでは、スイッチ回路16a、17aを代表して説明する。

【0065】図6はスイッチ回路16a、17aの制御

部の一具体例を示す回路図であって、24は抵抗、25はPNPトランジスタ、26はFET、27、28は保護ダイオード、29は抵抗であり、図1に対応する部分には同一符号を付けて重複する説明を省略する。

【0066】また、図7は図6の各部の電圧や信号の波形、タイミング関係を示す図であり、図6に対応する電圧、信号には同一符号を付けている。

【0067】図6において、ここでは、スイッチ回路16a、17aとしてNチャネルMOSFETを用いているものとする。このFET16aのゲート、ソース間に抵抗29と保護ダイオード27とが互いに並列に接続され、このFET16aのゲートは抵抗24とPNPトランジスタ25とからなる電流源回路によって駆動される。また、スイッチ回路17aのゲート、ソース間に保護ダイオード28が接続され、スイッチ回路17aのゲートはFET26によって駆動される。

【0068】次に、図7を用いてこの制御部の制御動作を説明する。

【0069】まず、期間Iでは、容量性負荷13aが低電圧レベルであるとする。そして、次の期間IIで、PNPトランジスタ25のベースに“L”（低レベル）の信号Eが供給されて“L”になると、PNPトランジスタ25はオンし、高圧電源8に等しい電圧 $V_H$ が抵抗24とPNPトランジスタ25とを介してFET16aのゲートに供給され、抵抗29によってFET16aのゲート、ソース間に電圧が生じてFET16aがオンする。

【0070】期間Iでは、容量性負荷13aが低電圧レベルであったので、この期間IIでFET16aがオンすると、期間IIの最初のごく短い時間で電力供給線11の電圧Aが瞬時に低電圧レベルまで下がる。次に、この期間IIで電力回収回路でのスイッチ回路1（図1）がオンするので、インダクタンス素子5（図1）と容量性負荷13aとの共振により、電力供給線11の電圧Aは正弦波的に立ち上がる。このとき、FET16aがオンしてダイオード14aも導通しているから、容量性負荷13aの電圧Gも正弦波的に上昇する。

【0071】一方、この期間IIでは、上記と同時に、FET26のゲートにも“H”の信号Fが供給され、FET26がオンしてFET17aのゲートが低電圧レベルまで下がる。このとき、電力回収線12の電圧Bが、後述するように、瞬時に高電圧レベルに上がり、それから正弦波的に下がる波形となる。これと同時に、FET17aのゲートの電圧も下がることから、FET17aのゲート、ソース間には電圧が生ぜず、FET17aはオフする。

【0072】次の期間IIIでは、ホールドスイッチ回路9、10が、夫々“H”の電圧C、Dが印加されることにより、オンし、これにより、電力供給線11の電圧Aは高電圧 $V_H$ の電圧レベルに、また、電力回収線12の電圧Bは低電圧レベルに保持される。ここで、この期間

IIIでは、FET16aがオン、FET17aがオフしていることから、容量性負荷13aの電圧Gは高電圧 $V_H$ の電圧レベルに保持される。

【0073】次の期間IVでは、電力供給線11の電圧Aは一旦低電圧レベルまで下がる。このとき、FET16aはオンしているが、ダイオード14aが逆バイアスされることになるので、容量性負荷13aの電荷が電力供給線11に逆流することはない。また、電力回収線12の電圧Bは一旦高電圧レベルまで上がるが、FET17aがオフしているため、容量性負荷13aから電力回収線12への電流は流れない。このように、期間IVでは、容量性負荷13aはフローティング状態となり、先の期間IIIで容量性負荷13aの電圧Gが高電圧レベルであったことから、そのままこの電圧が保持される。

【0074】次の期間Vは先の期間IIIと動作が同じで、容量性負荷13aの電圧Gはそのまま高電圧レベルに保持される。

【0075】次の期間VIでは、PNPトランジスタ25のベースに供給される信号Eが“H”（高レベル）となり、PNPトランジスタ25がオフしてFET16aのゲートには電流が流れない。従って、抵抗29には電流が流れなくなり、FET16aのゲート、ソースの電圧は等しくなってFET16aはオフする。また、この期間VIでは、FET26のゲートに供給される信号Fは“L”であり、このFET26はオフとなる。

【0076】そして、電力回収線12の電圧Bが一旦高電圧レベルになり、それから正弦波的に下がりダイオード15aはオンする。そのとき、FET17aのソースの電圧も正弦波的に電位が下がる。ここで、保護ダイオード28により、FET17aのゲート、ソース間に電圧が生じ、これによりFET17aがオンする。

【0077】従って、この期間VIでは、先の期間Vで高電圧レベルであった容量性負荷13aから電荷がFET17a、ダイオード15aを介して電流が流れ出し、容量性負荷13aの電圧Gは正弦波的に低電圧レベルまで下がる。

【0078】次の期間VIIでは、FET16aはオフし、また、FET17aのゲート、ソース間が保護ダイオード28によって電圧が保持されているために、FET17aはオンし、容量性負荷13aの電圧Gは低電圧レベルに保持される。

【0079】次の一連の期間VIII、IX、X、XIは期間I、III、VI、VIIと同様である。

【0080】次の期間XIIは、電力供給線11が一旦低電圧レベルに下がり、それから正弦波的に高電圧レベルまで上がるが、FET16aがオフであるために、容量性負荷13aに電流が流れ込むことはない。また、これと同時に、電力回収線12は一旦高電圧レベルまで上がり、それから正弦波的に下がるが、ダイオード15aが逆バイアスされるため、電力回収線12から容量性負荷13

aに電流が流れ込むことはない。従って、この期間XIIでは、容量性負荷13aはフローティング状態となり、先の期間XIで容量性負荷13aの電圧Gが低電圧であったから、その電圧Gがそのまま保持される。

【0081】次の期間XIIIは期間VIIと同様である。

【0082】次に、期間II, IV, VI, VIII, X, XIIで電力供給線11の電圧Aと電力回収線12の電圧Bが瞬時に低電圧レベル、あるいは高電圧レベルまで変化することについて説明する。

【0083】複数の容量性負荷夫々毎に電力供給線11との間に接続されたスイッチ回路や電力回収線12との間に接続されたスイッチ回路のいずれか1つでもオンすると、容量性負荷に蓄積されている電荷が電力供給線11あるいは電力回収線12に流れるために、上記のような電力供給線11の電圧Aや電力回収線12の電圧Bの変化が生ずる。かかるスイッチ回路の全てがオフしているときには、このような瞬時の電圧の変化は生じないが、それでも、容量性負荷には、所望の電圧が得られる。

【0084】以上、図6で示すFET16a, 17aのゲート制御部は一例にすぎず、レベルシフト回路を用いる方法やフォトカプラを用いる方法など様々であり、本発明がこの図6に示すゲートの制御部に限定されるものではない。

【0085】このように、容量性負荷の印加パルスのパルス幅を任意に制御することができることから、本発明では、電力回収による低消費電力化が簡単な構成のスイッチ回路で実現可能となる。

【0086】また、本発明をACが他プラズマディスプレイ装置に適用した場合、アドレス電極の駆動に用いると、特に有効である。その場合、図1、図3における単方向性スイッチ回路、あるいは図4におけるホールドスイッチ回路を含めてIC化すると、回路損失を大幅に低減することができる。

【0087】

【発明の効果】以上説明したように、本発明によれば、複数の容量性負荷夫々に任意の長さのパルスが印加することができ、しかも、電力回収を行なうことで低消費電

力の駆動ができるという効果が得られる。特に、AC型プラズマディスプレイパネルのアドレス電極に応用することにより、従来から問題であったICの破損や大電力を要するなどの欠点が解消され、また、容量性負荷に接続される単方向性スイッチ回路のみをIC化すればよく、回路構成が簡単で安価な駆動装置が得られる。

【図面の簡単な説明】

【図1】本発明による容量性負荷の駆動方法及び回路の第1の実施形態を示す回路図である。

【図2】従来の容量性負荷の駆動方法及び回路の一例を示す回路図である。

【図3】本発明による容量性負荷の駆動方法及び回路の第2の実施形態を示す回路図である。

【図4】本発明による容量性負荷の駆動方法及び回路の第3の実施形態を示す回路図である。

【図5】本発明による容量性負荷の駆動方法及び回路の第4の実施形態を示す回路図である。

【図6】第1～第4の実施形態での単方向性スイッチ回路の制御部の一具体例を示す回路図である。

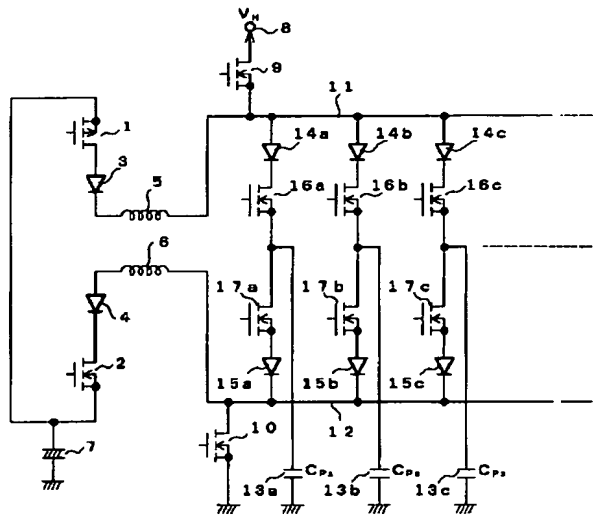
【図7】図6に示した具体例の各部の電圧、信号の波形やタイミング関係を示す図である。

【符号の説明】

- 1, 1a～1c, 2, 2a～2c スwitch回路
- 3, 3a～3c, 4, 4a～4c ダイオード
- 5, 5a～5c, 6, 6a～6c インダクタンス素子
- 7 電源または電荷供給源
- 8 高圧電源
- 9, 10 ホールドスイッチ回路
- 11 電力供給線
- 12 電力回収線
- 13a～13c 容量性負荷
- 14a～14c, 15a～15c ダイオード
- 16a～16c, 17a～17c スwitch回路
- 18a～18c, 19a～19c バイポーラトランジスタ
- 20a, 20b, 21a, 21b スwitch回路
- 22a～22c, 23a～23c 直列回路

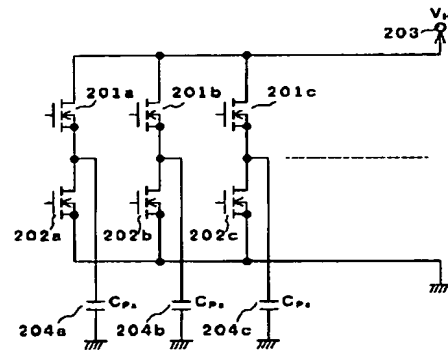
【図 1】

【図 1】



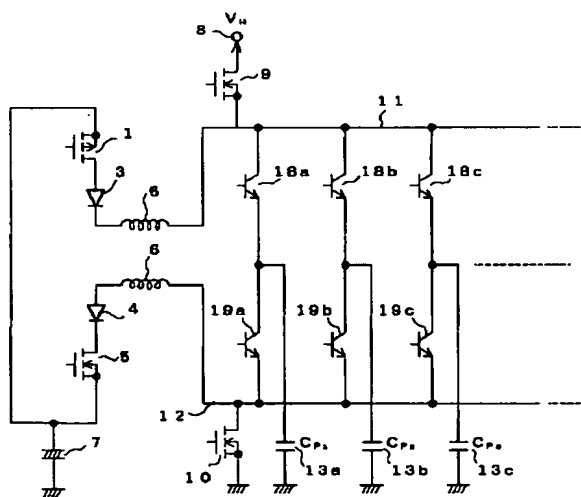
【図 2】

【図 2】



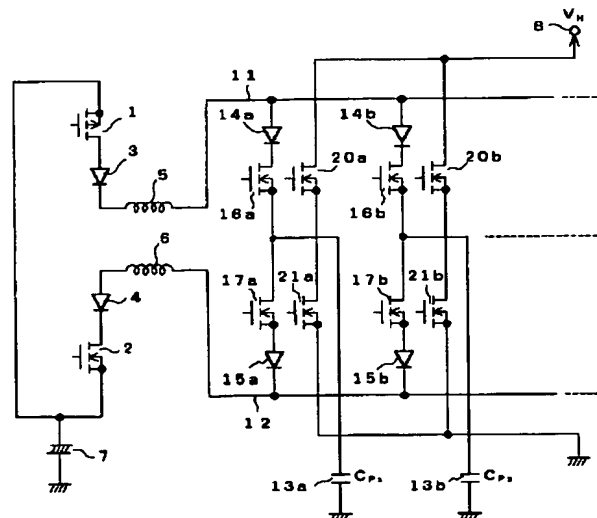
【図 3】

【図 3】



【図 4】

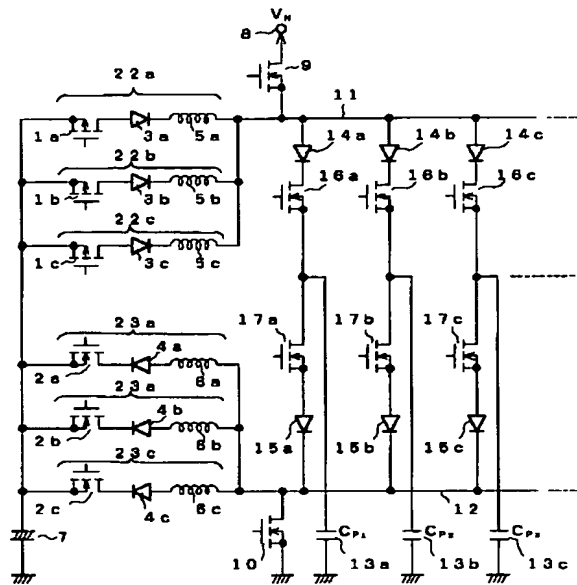
【図 4】



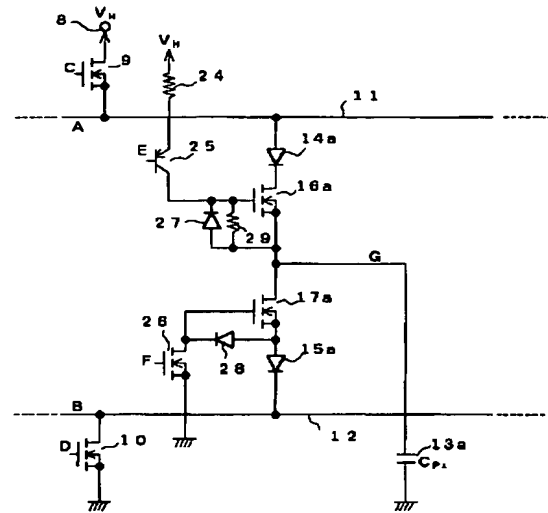
【図5】

【図6】

【図5】

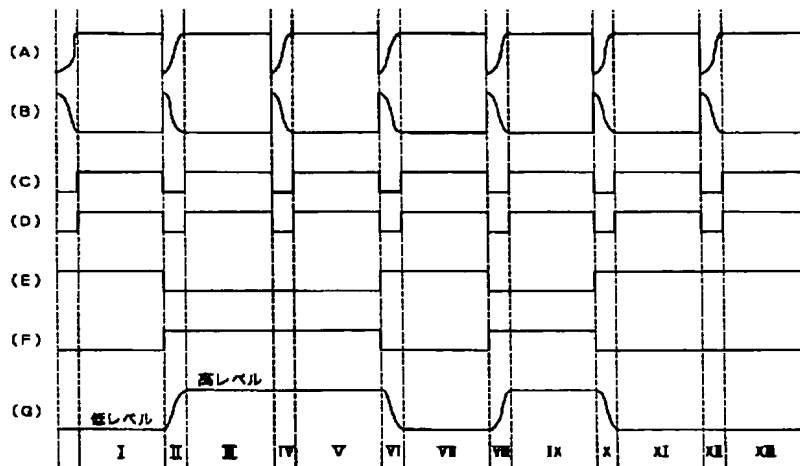


【図6】



【図7】

【図7】



フロントページの続き

(72)発明者 織田 勇  
東京都千代田区神田駿河台四丁目6番地  
株式会社日立製作所内

(72)発明者 坂本 光造  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内